

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-058206

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

H01L 21/82

(21)Application number : 05-205006

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 19.08.1993

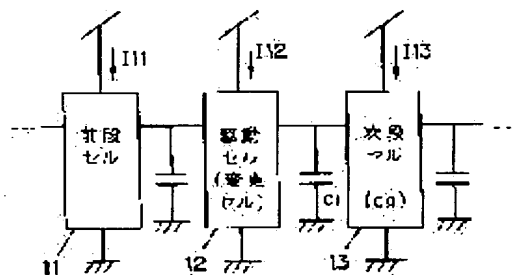
(72)Inventor : HIGASHIJIMA KATSUYOSHI
YAMAGUCHI SEIJI

(54) INTEGRATED CIRCUIT DESIGNING METHOD

(57)Abstract:

PURPOSE: To design a circuit of low power consumption by a method wherein, after an automatic layout and routing has been conducted using a standard cell, the cell to be driven is replaced with the optimum one on the basis of the gate capacitance of the next stage in full-load capacitance of the output terminal of the driving cell.

CONSTITUTION: After automatic layout and routing have been conducted, the lengths of wirings are determined, and the full-load capacitance $C_l + C_g$ added to the output pin of the driving cell of a system and the input gate capacitance C_g of the cell 13 of the next stage are extracted. The change of power consumption, at the rate of occupation of the input gate capacitance C_g to the full-load capacitance $C_l + C_g$, is simulated to a plurality of driving cells having different driving capability, the power consumption of the whole system is reduced, and the driving capability of the driving cell 12 is changed.



LEGAL STATUS

[Date of request for examination] 19.02.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3102216

[Date of registration] 25.08.2000

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-58206

(43) 公開日 平成7年(1995)3月3日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82		8122-4M	H 0 1 L 21/ 82	B
		8122-4M		P

審査請求 未請求 請求項の数 3 O L (全 3 頁)

(21) 出願番号 特願平5-205006

(22) 出願日 平成5年(1993)8月19日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 東島 勝義

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者 山口 聖司

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 弁理士 小銀治 明 (外2名)

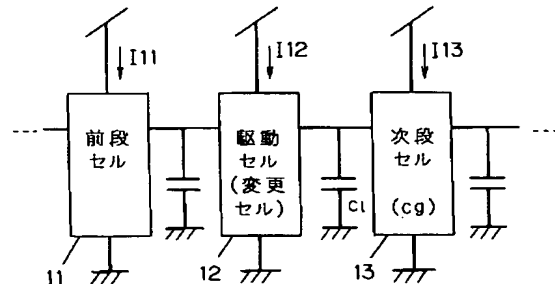
(54) 【発明の名称】 集積回路設計方法

(57) 【要約】

【目的】 スタンダードセルを用いた自動配置配線を実行した後で、駆動するセルの出力端子にかかる全負荷容量中での、次段のセルのゲート容量の占める割合によって、駆動するセルを最適なものに置き換えることで、回路の低消費電力化設計を行なう。

【構成】 自動配置配線後に、レイアウトから配線長が決まり一つの系の駆動セル12の出力ピンにかかる全負荷容量 $C_1 + C_g$ と、次段のセル13の入力ゲート容量 C_g が抽出される。全負荷容量 $C_1 + C_g$ に対する入力ゲート容量 C_g の占める割合での消費電力の変化を、駆動セルの駆動能力が異なる複数のものについてシミュレーションし、系全体の消費電力を小さくするため、駆動セル12の駆動能力を変更する。

C_1 配線負荷容量
 C_g 入力ゲート容量



【特許請求の範囲】

【請求項1】複数のセルを用いて自動配置配線をおこなう集積回路設計方法において、自動配置配線を実行して得られたレイアウトより、ある駆動セルの出力端子に付加された配線パターンの配線負荷容量と、この配線パターンに接続された次段のセルの入力ゲート容量とを合わせた全負荷容量中での、前記次段のセルの入力ゲート容量の占める割合により、前記駆動セルの性能を表す値を改善するように前記駆動セルの駆動能力を変更することを特徴とする集積回路設計方法。

【請求項2】前記駆動セルの性能は消費電力であることを特徴とする請求項1記載の集積回路設計方法。

【請求項3】前記次段のセルが複数であることを特徴とする請求項1記載の集積回路設計方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数のスタンダードセルを用いて自動配置配線を行なう集積回路設計方法に関する。

【0002】

【従来の技術】近年、集積回路設計方法は、論理設計で、あらかじめ見積もられた駆動セルの出力端子にかかる、ある一定の全負荷容量に対して、一定の駆動能力を持ったセルで駆動させる。こういう負荷容量と駆動能力とが1対1で対応したかたちで駆動セルの駆動能力が選択されている。これをもとにしたネットリストにより、自動配置配線を実行し、繰り返すことで最適なレイアウトパターンを得ている。

【0003】

【発明が解決しようとする課題】しかしながら上記のような従来の方法では、駆動セルの出力端子にかかる全負荷容量は同じでも、全負荷容量中の次段のセルの入力ゲート容量の占める割合により、駆動セルの駆動能力を変えることで、例えば回路の消費電力が減少する場合があるにもかかわらず、このようなことは、考慮されていなかった。

【0004】本発明は上記問題点に鑑み、スタンダードセルを用いた自動配置配線を実行した後で、セルの出力端子にかかる全負荷容量中での次段の入力ゲート容量の占める割合により、レイアウト上でセルを駆動能力を変更して回路の性能を改善する集積回路設計方法を提供するものである。

【0005】

【課題を解決するための手段】上記問題点を解決するために本発明の集積回路設計方法は、自動配置配線を実行して得られたレイアウトで、駆動セルの出力端子にかかる全負荷容量中での次段のセルのゲート容量の占める割合により、駆動セルの駆動能力を変更することで、回路の性能を改善するものである。

【0006】

【作用】本発明の集積回路設計方法によれば、自動配置配線を実行した後でのレイアウト上で、駆動セルの出力端子に付加された全負荷容量での次段のセルの入力ゲート容量の占める割合で駆動セルの駆動能力を変更することによって、駆動セルの性能を改善した回路を得ることとなる。

【0007】

【実施例】以下本発明の一実施例の集積回路設計方法について、図面を参照しながら説明する。以下、本実施例では、駆動セルの性能として消費電力とした場合を示す。

【0008】図1は本発明の一実施例における集積回路設計方法の、自動配置配線を実行した後で得られるレイアウトでの、回路の系の一部を示すものである。図1において、11～13は各スタンダードセルを示す。セル12は、駆動セル（変更セル）で、セル13は駆動セルの出力端子にかかる次段のセルである。また、セル11は駆動セルを駆動する前段のセルである。駆動セル12の出力端子にかかる配線負荷容量をC1とし、次段のセルの入力ゲート容量Cgとする。この2つの和を、駆動セル12の出力端子にかかる全負荷容量C（ $=Cg+C1$ ）とする。また、各セルにながれる電流を、それぞれI11、I12、I13とする。

【0009】図2は、全負荷容量Cが $C=0.3\text{ pF}$ の時、全負荷容量Cでの次段のゲート容量Cgの占める割合である $Cg/(Cg+C1)$ と図1の各スタンダードセルの消費電流I11、I12、I13の和 $i(=I11+I22+I33)$ との関係を回路シミュレータSPICEをもちいてシミュレーションした結果である。図2のS1、S2、S3、S4は、それぞれ、セルの異なった駆動能力を表しており、その駆動能力は $S1<S2<S3<S4$ の大小関係である。

【0010】以下方法について、図1、図2を用いて説明する。まず、消費電力は、電流と電圧の積で求められるので、電圧一定の場合、消費電力の変化は、電流値の変化で見ることができる。

【0011】図1で、自動配置配線後に得られたレイアウトの回路で、各セル間の配線長が決まることにより、配線容量C1と、次段の入力ゲート容量Cgが抽出され、駆動セル12の駆動能力が分る。これらより、 $Cg/(Cg+C1)$ を算出する。

【0012】前記全負荷容量Cが今、 $C=0.3\text{ pF}$ であったとする。この場合、図2のような関係となる。駆動セル12の駆動能力が当初S3で、算出した $Cg/(Cg+C1)$ の値が、図2での駆動セル12の駆動能力S3の時の曲線と、駆動能力S2の時の曲線が交わる0.27以下であったとする。このような時図2によると、駆動セル12を駆動能力S2のものに下げ、レイアウト上でセルを置き換えたほうが、系全体の消費電流iは減少する。つまり、前記したように、消費電力が低減

されることになる。

【0013】なお、本実施例では、駆動セルの性能として消費電力をしたが、スピード等に着眼して駆動セルの性能を改善するため駆動セルの駆動能力を変更してもよい。

【0014】また本実施例では、駆動セルが駆動すべき対象である次段のセルを1つにしたが、複数にしても構わなく、本発明と同様に駆動セルの駆動能力を変更すればよい。

【0015】また本実施例では、一つのCの値に対して行なったが、Cが異なった値についても同様である。また、駆動セルの駆動能力もS2と、S3のものについてのみ行なったが、異なった複数の駆動能力について行なっても同じである。

【0016】また、ここでは駆動セルを置き換えるとしたが、セルの駆動能力が可変であるものとして、駆動能力を自由に変更するような方法を用いてもよい。

【0017】

【発明の効果】以上のように本発明は、複数のスタンダードセルを用いて、自動配置配線を行なう集積回路設計方法において、自動配置配線を実行して、その後レイア *

* ウトパターンを得て、このレイアウトより得られたスタンダードセルの出力端子に付加された配線パターンの配線負荷容量と、この配線パターンに接続された次段のスタンダードセルの入力ゲート容量とを合わせて、前記スタンダードセルの出力端子にかかる全負荷容量での前記次段の入力ゲート容量の占める割合により、前記スタンダードセルをレイアウト上で駆動能力が最適なものに変更することで、回路の性能を改善（低消費電力化設計を含む）することができる。

【図面の簡単な説明】

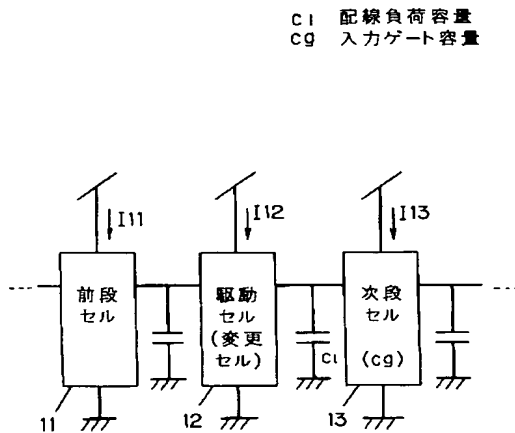
【図1】本発明の一実施例における集積回路設計方法の対象回路のブロック図

【図2】同実施例における、 i と $Cg / (Cg + C1)$ の関係を示す特性図

【符号の説明】

- 11 前段セル
- 12 駆動セル
- 13 次段セル
- C1 配線負荷容量
- Cg 入力ゲート容量

【図1】



【図2】

